

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11340823 A

(43) Date of publication of application: 10.12.99

(51) Int. Cl

H03L 7/095
G01R 31/00
H03L 7/06

(21) Application number: 10149529

(22) Date of filing: 29.05.98

(71) Applicant: NEC CORP

(72) Inventor: TAKAHASHI AKIKAZU

(54) INFORMATION PROCESSOR

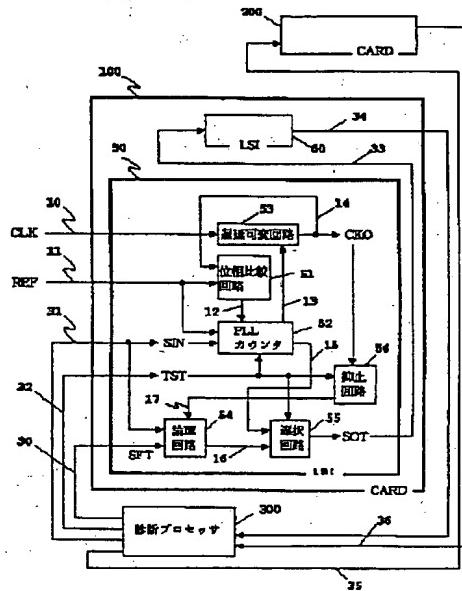
(57) Abstract:

PROBLEM TO BE SOLVED: To attain effective skew adjustment by inputting and outputting an internal state value in a scan mode, selecting a scan output, preventing internal clocks other than a PLL circuit for suppressing a logic circuit arithmetic processing, and monitoring and correcting the internal state value of the PLL circuit from a diagnostic processor.

SOLUTION: An LSI 60 inputs a scan signal 31 and a test mode 32 or the like from a diagnostic processor 300, and outputs a scan-out signal 33. A selecting circuit 55 selects a PLL counter output 15 according to a test mode signal 32 and outputs the scan-out signal 33 to an LSI 60. The test mode signal 32 is also inputted to a suppressing circuit 56, and when the test mode signal 32 is set as a valid value, the supply of an internal clock 14 to a logic circuit 54 is suppressed, and a signal 17 is turned into a stop state, and the internal state value of the logic circuit 54 is maintained. A diagnostic processor 300 fetches the internal state value of a PLL counter 52 in a buffer, and this internal state value can be monitored from the outside part, as

necessary.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-340823

(43)公開日 平成11年(1999)12月10日

(51)Int.Cl.
H03L 7/095
G01R 31/00
H03L 7/06

識別記号

F I
H03L 7/08
G01R 31/00
H03L 7/06

B
J

審査請求 有 請求項の数 7 O L (全10頁)

(21)出願番号 特願平10-149529

(22)出願日 平成10年(1998)5月29日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 高橋 明和

東京都港区芝五丁目7番1号 日本電気株式会社内

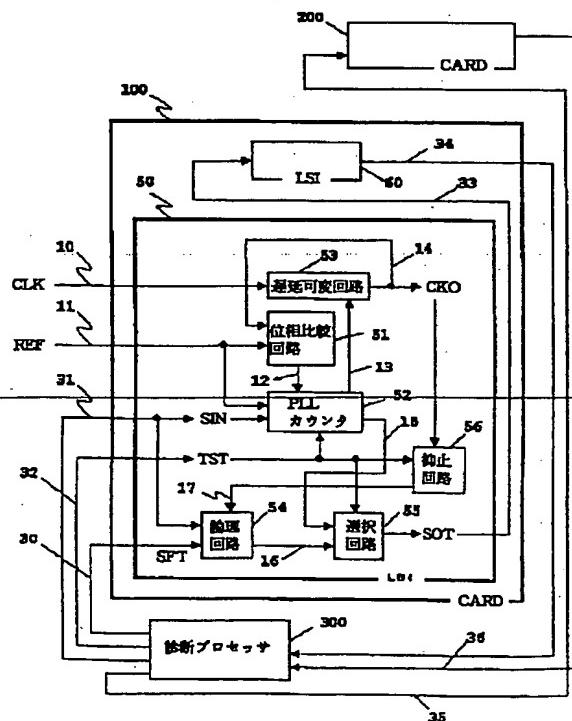
(74)代理人 弁理士 若林 忠 (外4名)

(54)【発明の名称】情報処理装置

(57)【要約】

【課題】 PLLカウンタの内部状態値つまり位相調整値を知る効果的な回路を有する情報処理装置を提供する。

【解決手段】 本発明は、PLLカウンタを装置の通常のスキャンバス(ScanPath)に組み込むことによって、診断プロセッサを用いてPLLカウンタの内部状態値のスキャン読み出しを可能とし、PLL回路の状態を外部からモニタできるようにした。さらに、診断プロセッサを用いて前記PLLカウンタへのスキャン書き込みを行うことにより、LSI内と、それらLSI間と、LSIを含むCARD内と、それらCARD間の何れに対しても、クロック位相調整値の試験的修正を行うことを可能にする。



正本

檔 號	
發文人員	

經濟部智慧財產局專利 核駁理由先行通知書

106 雙掛號
臺北市大安區信義路4段279號3樓

機關地址：台北市辛亥路2段185
號3樓
聯絡人：陳俊宏
聯絡電話：(02)23767420
電子郵件：
傳 真：(02)23779875

受文者：瑞薩科技股份有限公司（代
理人：洪澄文 先生）



發文日期：中華民國94年2月4日

發文文號：(94)智專二(一)04113字第
09420127480號



速 別：

密等及解密條件或保密期限：

附 件：

主旨：第092122721號專利申請案經審查後發現尚有如說明三所述不明確之處，台端（貴公司）若有具體反證資料或說明，請於文到次日起60日內提出申復說明及有關反證資料1式2份。若屆期未依通知內容辦理者，專利專責機關得依現有資料續行審查，請查照。

說明：

- 一、本案如有補充、修正，應依專利法第48條、第49條、專利法施行細則第28條之規定辦理。
- 二、若希望來局當面示範或說明，請於申復說明書內註明「申請面詢」，並繳交規費新台幣1千元正，本局認為有必要時，另安排地點、時間舉辦「面詢」。

三、本案經審查認為：

- (一)申請專利範圍第1項是以時脈信號產生電路、控制電路和振盪電路，組成資訊處理裝置；以計數值來調整、輸出，用以限定時脈信號之振盪週期；查民國90年4月11日公告第429686號專利案「時脈產生電路及時脈產生方法」

(引證案一)之申請專利範圍第1項即揭示以倍增裝置、相位同步裝置和分頻裝置，組成時脈產生電路，經偵測輸入時脈和分頻時脈之間的相位差後，產生相位同步時脈信號，並以計數器計數倍增時之脈波數，完成時脈信號的產生，引證案一已揭示出相當之技術特徵，且本項所請發明為其所屬技術領域中具有通常知識者依申請前之先前技術所能輕易完成，故不具進步性；申請專利範圍第2至12項，將初期值和變更前後之值，利用計數器、控制電路、記憶裝置設定於處理裝置內，再以第2初期值來做相位同步處理，再利用第3和第4計數值來做振盪週期的調整和同步相位之偵測，經查引證案一之申請專利範圍第12至14項，第一、二、三、八、十一圖，即以更新計數器值，配合相位同步時脈來產生時脈信號，另查民國90年8月21日公告第451558號專利案「數位相位鎖定迴路電路之數位控制振盪電路」(引證案二)之申請專利範圍第1項，亦揭示以計數器配合控制器增、減計數值來變更和儲存更正資料，故不具進步性。

(二)申請專利範圍第13項是以時脈信號延遲電路、控制電路相位比較器、計數器和可變延遲電路所組成的資訊處理裝置，依第一和第二時脈的相位比較，將結果和初期計數值比較，以作為時脈信號的延遲量之界定，經查引證案一之第七圖和引證案二之申請專利範圍第22至30項，即揭示以相位比較器和預定值做比較，並將結果貯存於計數器中做為增、減之界限，其原理與本案相當，故不具有進步性；附屬項第14至15項以第三時脈、第四時脈之相位比較再配合第二初期計數值和控制電路，來做第三時脈的延遲量界定，經查引證案二之申請專利範圍第14至30項亦利用第一、第二預定值，配合比較器和計數器初期值來控制延遲量，其原理與本案相當，故不具有進步性。

四、如有補充、修正說明書或圖式、圖說或圖面者，應具備補充、修正申請書一式2份，並檢送補充、修正部分劃線之說明書、圖說修正頁一式2份及補充、修正後無劃線之說明書或圖式替換頁一式3份或全份圖說一式3份；如補充、修正後致原說明書或圖式頁數不連續者，應檢附補充、修正後之全份說明書或圖式一式3份或僅補充、修正圖面者，應檢附補充修正後全份圖面一式3份至局。

經濟部智慧財產局

裝

司

線



附
件

中華民國專利公報 [19] [12]

[11]公告編號：429686

[44]中華民國 90年(2001) 04月11日
發明

全 7 頁

[51] Int.Cl 06: H03L7/06

[54]名稱：時脈產生電路及時脈產生方法

[21]申請案號：087117701

[22]申請日期：中華民國 87年(1998) 10月26日

[30]優先權：[31]129316

[32]1998/05/12 [33]日本

[72]發明人：

清水一頤

日本

石見幸一

日本

澤井克典

日本

[71]申請人：

三菱電機股份有限公司

日本

[74]代理人：洪澄文先生

1

2

[57]申請專利範圍：

1. 一種時脈產生電路，包括：

- 倍增裝置，將輸入時脈之頻率倍增後產生倍增時脈；
- 相位同步裝置，偵測該輸入時脈和分頻時脈之間之相位差後，將該倍增裝置所產生之倍增時脈之相位只延遲和該相位差對應之量，產生相位和該輸入時脈之相位一致之相位同步時脈；以及
- 分頻裝置，自該相位同步時脈之中每隔固定周期偵測特定之脈波，以該脈波為基準將該相位同步時脈分頻，產生該分頻時脈。

2. 如申請專利範圖第1項之時脈產生電路，其中該分頻裝置每隔該輸入脈波之固定週期偵測該特定之脈波，該特定之脈波係該輸入脈波之正要下降前之該相位同步脈波。

3. 如申請專利範圖第1項之時脈產生電路，其中該分頻裝置具有將該相位同

步時脈分頻之分頻電路和對該相位同步時脈附加該分頻電路之延遲之延遲附加裝置。

4. 如申請專利範圖第3項之時脈產生電路，其中在該分頻裝置設置選擇裝置，選擇該分頻電路所產生之分頻時脈或利用延遲附加裝置附加了延遲之相位同步時脈之某一方，作為該分頻裝置之輸出。

10. 5. 如申請專利範圖第1項之時脈產生電路，其中該倍增裝置按照倍增數切換信號該倍增時脈之倍增數。

6. 如申請專利範圖第5項之時脈產生電路，其中該倍增裝置包括：

- 環振盪器，產生該倍增時脈；
- 計數器，計數該倍增時脈之脈波數；以及
- 停止電路，該脈波數和倍增數一致時，停止在該環振盪器之倍增時脈之產生處理。

(2)

3

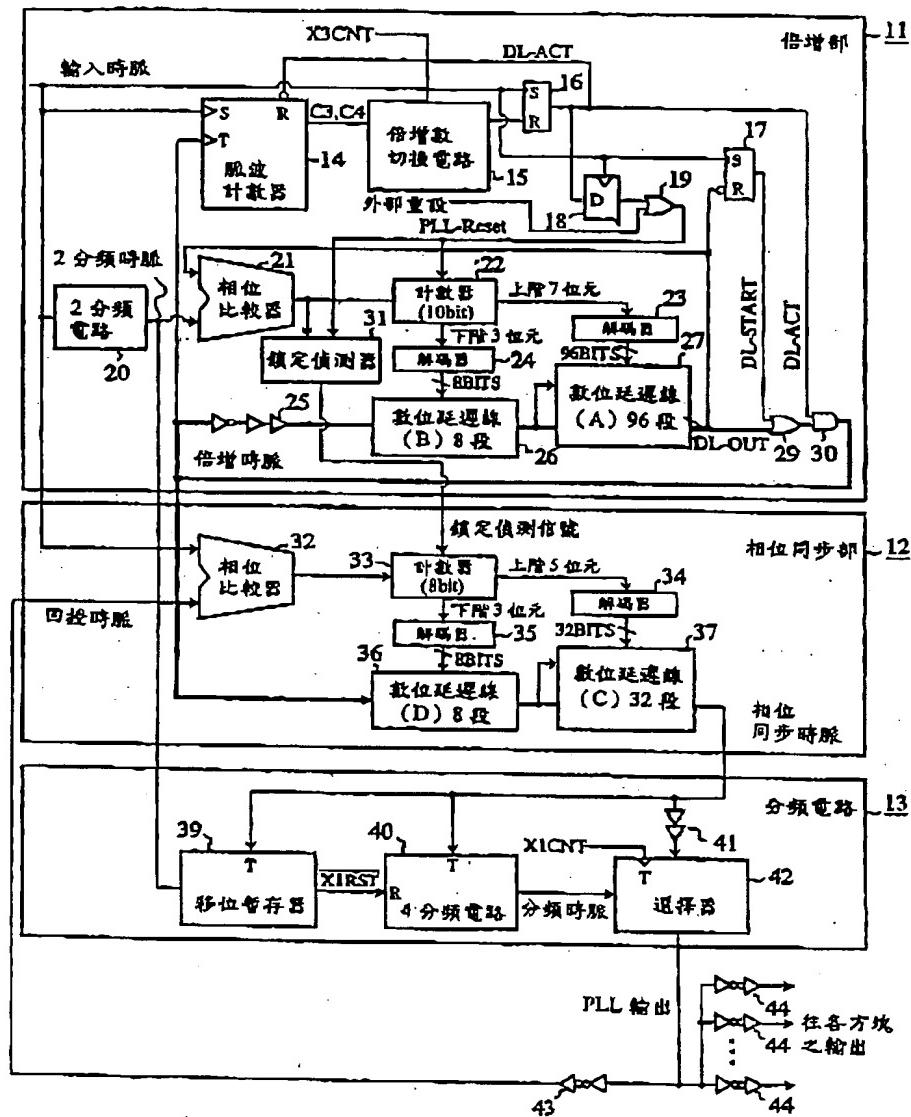
7. 如申請專利範圍第 6 項之時脈產生電路，其中設 n 、 m 為大於 1 之自然數，該倍增裝置產生 n 倍增時脈，該分頻裝置將 n 倍增時脈 m 分頻。
8. 如申請專利範圍第 7 項之時脈產生電路，其中該環振盪器使用由閘電壓變化時電流就變化之電晶體構成之數位延遲線調整延遲時間。
9. 如申請專利範圍第 7 項之時脈產生電路，其特中該環振盪器使用由反向閘電壓變化時電流就變化之電晶體構成之數位延遲線調整延遲時間。
10. 如申請專利範圍第 1、2、3、4、5、6、7、8 或 9 項之時脈產生電路，其中相位同步裝置使用由閘電壓變化時電流就變化之電晶體構成之數位延遲線調整延遲時間。
11. 如申請專利範圍第 1、2、3、4、5、6、7、8 或 9 項之時脈產生電路，其中相位同步裝置使用由反向閘電壓變化時電流就變化之電晶體構成之數位延遲線調整延遲時間。
12. 一種時脈產生方法，包括：
 - (a) 將輸入時脈之頻率倍增後產生倍增時脈之步驟；
 - (b) 偵測該輸入時脈和分頻時脈之間之相位差後，將該倍增裝置所產生之倍增時脈之相位只延遲和該相位差對應之量，產生相位和該輸入時脈之相位一致之相位同步時脈之步驟；以及
 - (c) 自該相位同步時脈之中就各固定週期偵測特定之脈波，以該脈波為基準將相位同步時脈分頻，產生該分頻

4

- 時脈之步驟。
13. 如申請專利範圍第 12 項之時脈產生方法，其中該步驟(c)每隔該輸入脈波之固定週期偵測該特定之脈波，該特定之脈波係該輸入脈波之正要下降前之該相位同步脈波。
14. 如申請專利範圍第 12 項或第 13 項之時脈產生方法，其中該步驟(a)按照倍增數切換信號切換該倍增時脈之倍增數。
- 圖式簡單說明：

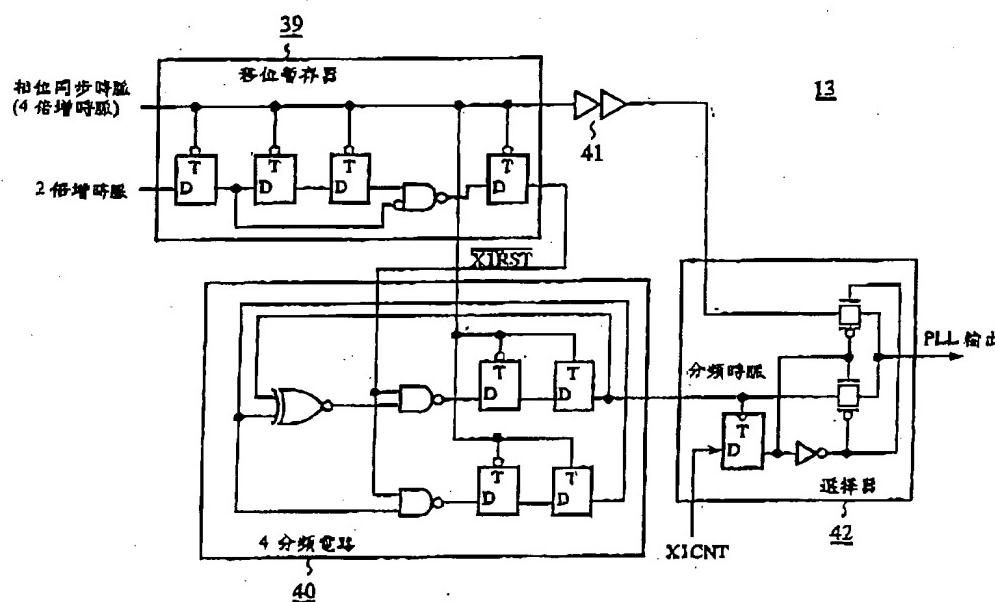
 - 第一圖係表示本發明之實施例 1 之時脈產生電路之構造圖。
 - 第二圖係表示實施例 1 之分頻電路 13 之細部構造之構造圖。
 - 第三圖係表示本發明之實施例 1 之時脈產生方法之流程圖。
 - 第四圖係表示實施例 1 之倍增部 11 之各種信號之時序圖。
 - 第五圖係表示實施例 1 之數位延遲線 26 及 27 之細部構造之構造圖。
 - 第六圖係表示實施例 1 之延遲元件之細部構造之構造圖。
 - 第七圖係表示實施例 1 之延遲元件 25 之細部構造之構造圖。
 - 第八圖係表示實施例 1 之延遲元件之細部構造之構造圖。
 - 第九圖係表示實施例 1 之整體動作之時序圖。
 - 第十圖係表示智知之時脈產生電路之構造圖。
 - 第十一圖係表示各種信號之時序圖。

(3)

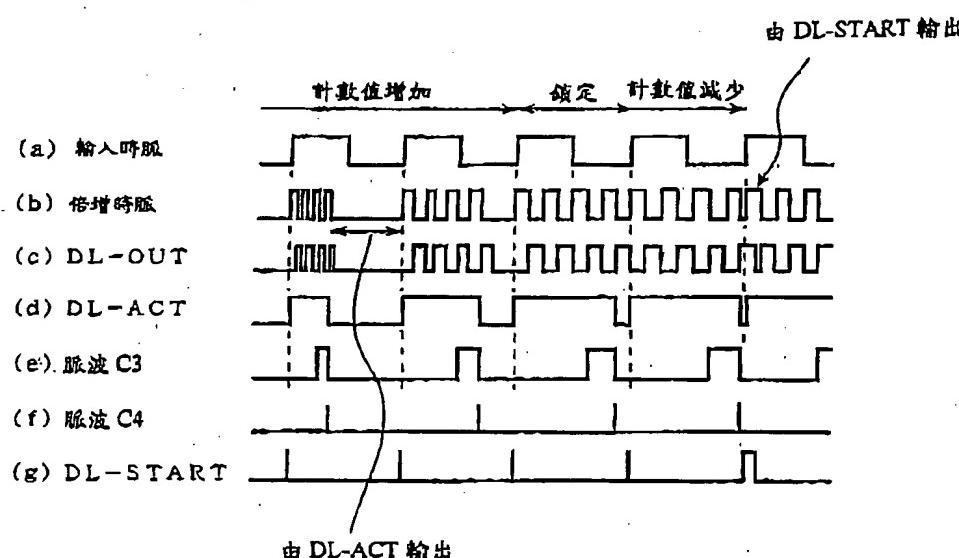


第一圖

(4)

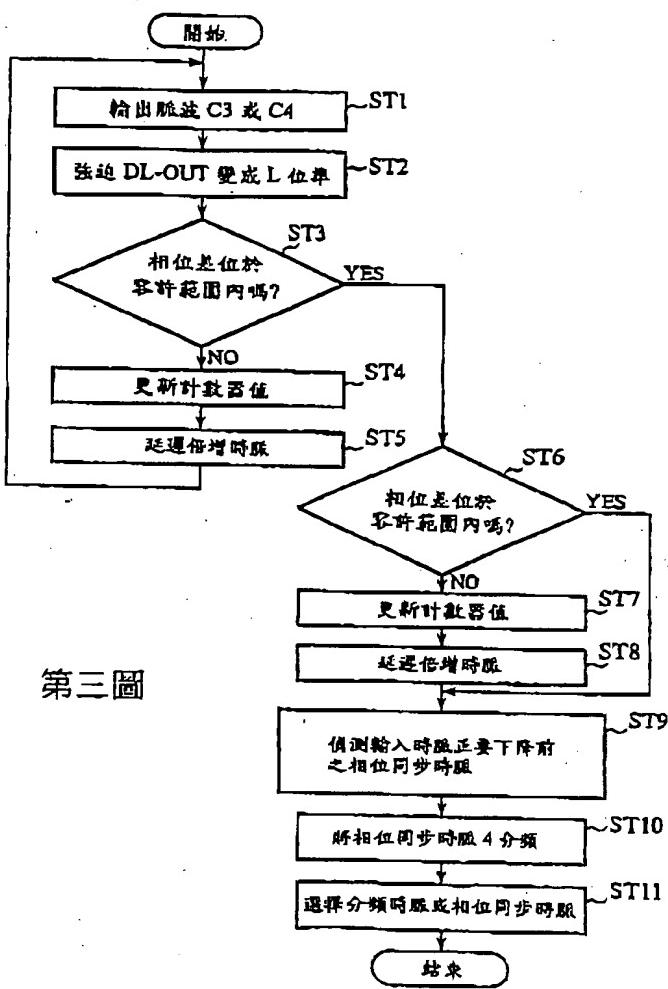


第二圖

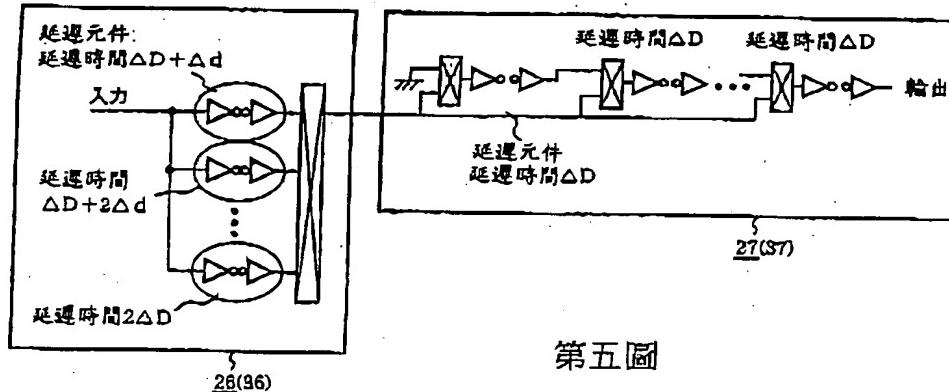


第四圖

(S)

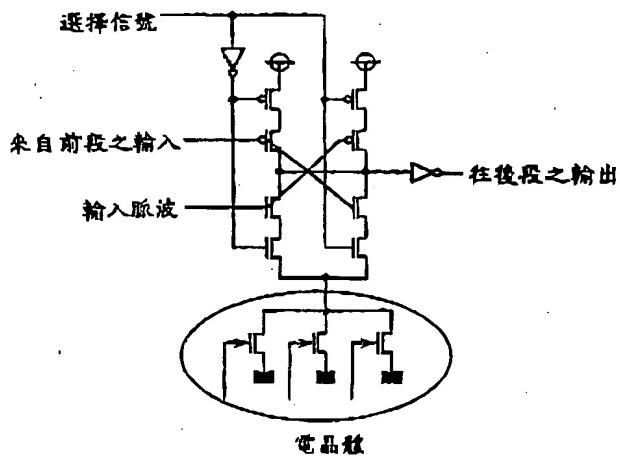


第三圖

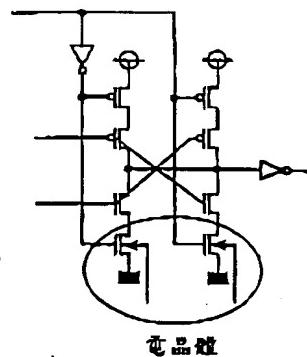


第五圖

(6)

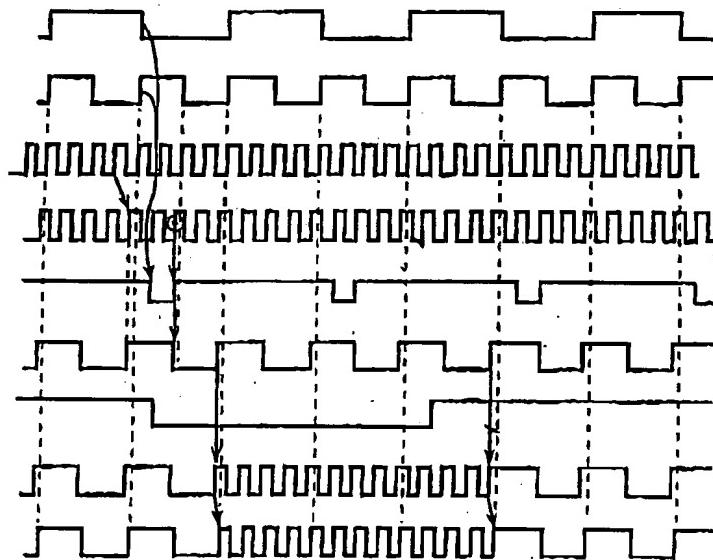


第六圖



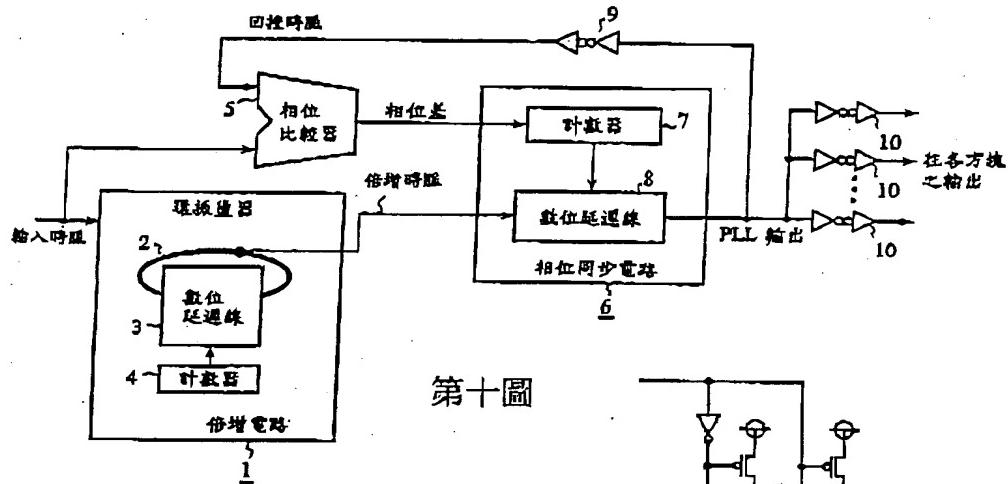
第七圖

- (a) 2 分頻時脈
- (b) 輸入時脈
- (c) 倍增時脈
- (d) 相位同步時脈
- (e) X1RST
- (f) 分頻時脈
- (g) X1CNT
- (h) PLL 輸出
- (i) 回授時脈

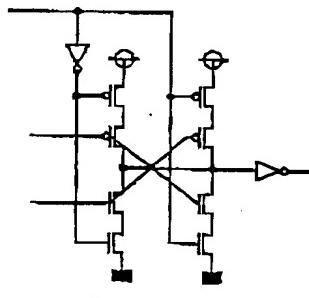


第九圖

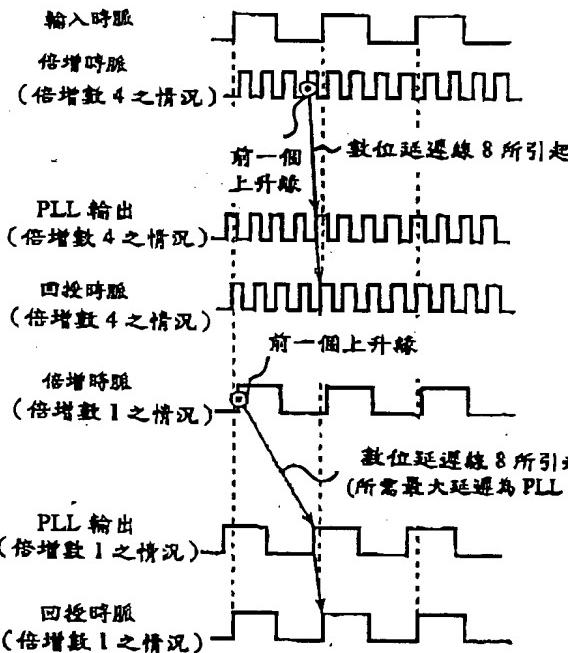
(7)



第十圖



開極長度長或開極寬度短之電晶體



第八圖

第十一圖